

KW- R002 (LASERS); R116 (ELECTRONIC MATERIALS -- Light Emitting Diodes, LED)

AB- PROBLEM TO BE SOLVED: To provide destaticizing method which enables sufficient destaticizing process with a semiconductor substrate while simplifying manufacture process of a semiconductor element.

SOLUTION: When making a specified semiconductor layer crystal-grow on a semiconductor substrate 12, firstly, the inside of a substrate holding part 32 of a carrier device 28 for carrying the semiconductor substrate 12 to a reaction furnace 26 without taking it out of a system is made specified gas atmosphere (H(sub 2)-N(sub 2) atmosphere). Then, by generating the ion of the H(sub 2)-N(sub 2) gas in the substrate holding part 32, the semiconductor substrate 12 placed in the substrate holding part 32 is destaticized. By this, the semiconductor substrate 12 is destaticized. Therefor, prior to crystal grows, destaticized can be done without separately providing with destaticizing process in a destaticizing device, further, the destaticized semiconductor substrate 12 is, instead of taken outside, carried to the reaction furnace 26, so that sufficient destaticizing treatment is performed with the semiconductor substrate 12 while simplifying the manufacture process of a semiconductor element.

6/4/5

FN- DIALOG(R)File 347:JAPIO|

CZ- (c) 2001 JPO & JAPIO. All rts. reserv. |

TI- CAPACITOR OF SEMICONDUCTOR MEMORY DEVICE AND MANUFACTURE THEREOF

PN- 05-021744 -J P 5021744 A-

PD- January 29, 1993 (19930129)

AU- MUROYAMA MASAKAZU

PA- SONY CORP [000218] (A Japanese Company or Corporation), JP (Japan)

AN- 03-197240 -JP 91197240-

AN- 03-197240 -JP 91197240-

AD- July 10, 1991 (19910710)

IC- -5- H01L-027/108; H01L-021/314; H01L-021/318; H01L-027/04

CL- 42.2 (ELECTRONICS -- Solid State Components); 45.2 (INFORMATION PROCESSING -- Memory Units)

SO- Section: E, Section No. 1377, Vol. 17, No. 295, Pg. 26, June 07, 1993 (19930607)

AB- PURPOSE: To provide a capacitor of a semiconductor device which reduces leakage current and improves a charge accumulation capability.

CONSTITUTION: A capacitor 12 of a semiconductor device, say, dynamic RAM 11 is formed by an accumulation capacity section comprising an accumulation node 31 and a tantalum oxy-nitride film and a plate 33. The tantalum oxy-nitride film is manufactured based on a chemical vapor growth process which used reactive gas which contains dialkylamino tantalum.

?b 351

12aug01 14:49:56 User116074 Session D4923.2

\$2.26 0.206 DialUnits File347

\$1.05 1 Type(s) in Format 2

\$6.00 4 Type(s) in Format 4

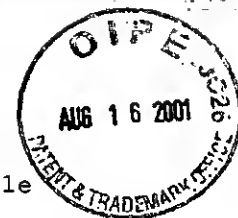
\$7.05 5 Types

\$9.31 Estimated cost File347

\$0.60 TYMNET

\$9.91 Estimated cost this search

\$10.20 Estimated total session cost 0.272 DialUnits

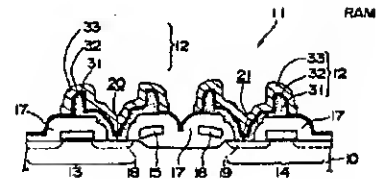


(54) CAPACITOR OF SEMICONDUCTOR MEMORY DEVICE AND MANUFACTURE THEREOF

(11) 5-21744 (A) (43) 29.1.1993 (19) JP
 (21) Appl. No. 3-197240 (22) 10.7.1991
 (71) SONY CORP (72) MASAKAZU MUROYAMA
 (51) Int. Cl.⁵. H01L27/108, H01L21/314, H01L21/318, H01L27/04

PURPOSE: To provide a capacitor of a semiconductor device which reduces leakage current and improves a charge accumulation capability.

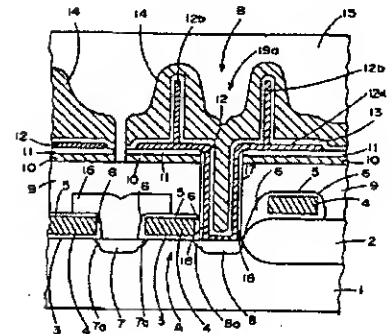
CONSTITUTION: A capacitor 12 of a semiconductor device, say, dynamic RAM 11 is formed by an accumulation capacity section comprising an accumulation node 31 and a tantalum oxy-nitride film and a plate 33. The tantalum oxy-nitride film is manufactured based on a chemical vapor growth process which used reactive gas which contains dialkylamino tantalum.

**(54) SEMICONDUCTOR DEVICE**

(11) 5-21745 (A) (43) 29.1.1993 (19) JP
 (21) Appl. No. 3-169723 (22) 10.7.1991
 (71) MITSUBISHI ELECTRIC CORP (72) YASUSHI MATSUI(1)
 (51) Int. Cl.⁵. H01L27/108, H01L21/90

PURPOSE: To make it possible to form easily a contact hole required to connect a bit line with a semiconductor substrate and moreover increase the capacity of a capacitor even when the semiconductor device is further integrated by forming the capacitor above the bit line.

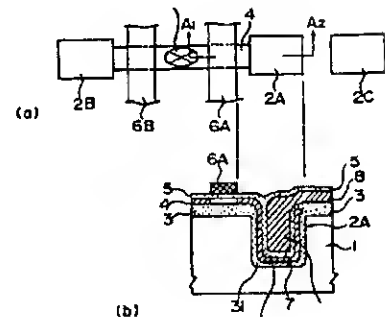
CONSTITUTION: A capacitor B is formed above a bit line 16. This construction does not increase the depth of a contact hole required to connect the bit line 16 with a semiconductor substrate 1. Furthermore, since the capacitor B is formed above the bit line 16, the shape of the capacitor B is not regulated by the bit line 16. It is, therefore, possible to form the shape of the capacitor B which increases the capacity of the capacitor. This construction makes it possible to form the bit line 16 easily even when the diameter of the contact is reduced accompanied by the integration of a semiconductor device and maintain a sufficient capacity required for a capacity as a data accumulation means.

**(54) SEMICONDUCTOR MEMORY DEVICE**

(11) 5-21746 (A) (43) 29.1.1993 (19) JP
 (21) Appl. No. 3-171316 (22) 11.7.1991
 (71) SEIKO EPSON CORP (72) SATOSHI INOUE
 (51) Int. Cl.⁵. H01L27/108, H01L27/04

PURPOSE: To eliminate the need for mask alignment to connect a transfer gate with a storage electrode by consisting of the transfer gate, using a thin film transistor, what is more, constituting the storage electrode of a capacitor with a semiconductor thin film which forms the thin film transistor.

CONSTITUTION: A semiconductor thin film 4 is formed on an oxide film 3 between a trench 2A and a trench 2B where gate electrodes 6A and 6B are installed thereto by way of a gate insulation film 5. An insulation film 31 is formed on the inside of the trench A on which there extends the semiconductor thin film 4 which constitutes a source region of a thin film transistor which is a transfer gate, a drain region, and a channel region. The semiconductor thin film 4 in the trench 2A constitutes a storage electrode of a capacitor. Therefore, the storage electrode of the capacitor consists of other parts of the semiconductor thin film which forms the semiconductor transistor, which makes it possible to eliminate the difficulty of mask alignment.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-21744

(43) 公開日 平成5年(1993)1月29日

(51) Int.Cl.⁵

識別記号

序内整理番号

F I

技術表示箇所

H 0 1 L 27/108

21/314

21/318

27/04

A 8518-4M

B 8518-4M

C 8427-4M

8728-4M

H 0 1 L 27/10

3 2 5 C

審査請求 未請求 請求項の数2(全5頁)

(21) 出願番号

特願平3-197240

(22) 出願日

平成3年(1991)7月10日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 室山 雅和

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

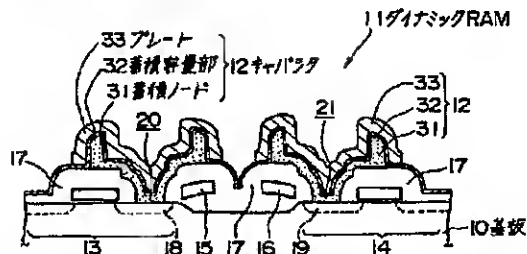
(74) 代理人 弁理士 船橋 国則

(54) 【発明の名称】 半導体記憶装置のキャパシタおよびその製造方法

(57) 【要約】

【目的】 本発明は、リーク電流を少なくして電荷蓄積能力を高めた半導体記憶装置のキャパシタを提供することを目的とする。

【構成】 半導体記憶装置として例えばダイナミックRAM 11のキャパシタ12を、蓄積ノード31とタンタルオキシナイトライド膜よりなる蓄積容量部32とプレート33とにより形成する。上記タンタルオキシナイトライド膜は、ジアルキルアミノタンタルを含む反応ガスを用いた化学的気相成長法によって製造する。



実施例1のキャパシタの概略構造断面図

1

【特許請求の範囲】

【請求項1】 基板上に蓄積ノードと蓄積容量部とプレートとを積層してなる半導体記憶装置のキャパシタにおいて、

前記蓄積容量部をタンタルオキシナイトライド膜で形成したことを特徴とする半導体記憶装置のキャパシタ。

【請求項2】 前記請求項1記載の半導体記憶装置のキャパシタの製造方法であって、

基板上に前記蓄積ノードを形成する第1の工程と、
ジアルキルアミノタンタルを含む反応ガスをを用いた化学的気相成長法によって、前記蓄積ノードの表面にタンタルオキシナイトライド膜の蓄積容量部を形成する第2の工程と、
前記蓄積容量部の表面にプレートを形成する第3の工程とによりなることを特徴とする半導体記憶装置のキャパシタの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体記憶装置のキャパシタおよびその製造方法に関する。

【0002】

【従来の技術】ダイナミックRAMの高集積化を実現するために種々のソフトエラー対策がなされてきた。その対策としては、ソフトエラー雑音に対して十分なマージンを確保した信号電荷量を蓄積できるように、キャパシタを3次元構造にして、キャパシタの表面積の増大を図ったものがある。この構造のキャパシタでは、急峻な凹凸部に蓄積容量部を形成するために、蓄積容量部になる容量絶縁膜は極めて優れた段差被覆性が必要とされる。そこで、化学的気相成長法によって高誘電材料の酸化タンタル(Ta_2O_5)膜を成膜することにより、段差被覆性に優れた蓄積容量部を形成している。この酸化タンタル膜を形成するには、反応ガスに表面マイグレーションの大きい有機金属化合物としてメトキシタンタル $[Ta(OCH_3)_5]$ またはエトキシタンタル $[Ta(OC_2H_5)_5]$ 等が用いられる。さらに電源電圧を低下させる方向に向かっている現在の半導体記憶装置では、蓄積電荷容量の減少分を蓄積容量部の薄膜化によって補っている。または、蓄積容量部に対してアンモニア(NH_3)プラズマ処理を行って、蓄積容量部に窒素を導入する方法が行われている。

【0003】

【発明が解決しようとする課題】しかしながら、上記キャパシタでは、蓄積容量部を薄膜化した場合に、リーク電流が増大するので、キャパシタの電荷蓄積能力が低下する。このため、このようなキャパシタをダイナミックRAMの記憶容量部に用いた場合には記憶性能が低下する。そこで、蓄積容量部を酸化シリコン(SiO_2)膜と窒化シリコン(Si_3N_4)膜とを積層して形成することにより、リーク電流を低減する構造が提案されてい

2

るが、この構造のキャパシタでも、蓄積容量部の膜厚が50nm以下の場合には、耐圧が大きく低下し、リーク電流の発生が多くなる。また、蓄積容量部に対してアンモニア(NH_3)プラズマ処理を行って窒素を導入する方法では、十分な量の窒素を電荷蓄積部に導入することが困難である。このため、リーク電流を十分に低減することができない。

【0004】本発明は、リーク電流が少ない半導体記憶装置のキャパシタおよびその製造方法を提供することを目的とする。

【0005】

【課題を解決するための手段】本発明は、上記目的を達成するためになされた半導体記憶装置のキャパシタおよびその製造方法である。すなわち、半導体記憶装置のキャパシタは、蓄積ノードとプレートとの間に、タンタルオキシナイトライド膜で蓄積容量部を形成したものである。またキャパシタの製造方法は、まず基板上に蓄積ノードを形成する。次いでジアルキルアミノタンタルを含む反応ガスをを用いた化学的気相成長法によって、蓄積ノードの表面にタンタルオキシナイトライド膜よりなる蓄積容量部を形成する。その後蓄積容量部の表面にプレートを形成する。

【0006】

【作用】上記構成の半導体記憶装置のキャパシタでは、蓄積容量部をタンタルオキシナイトライド膜で形成したことにより、蓄積容量部の誘電率が高まるので蓄積電荷の漏洩が減少して、リーク電流が少なくなる。また上記製造方法では、表面マイグレーションの大きい有機金属系のジアルキルアミノタンタルを含む反応ガスをを用いた化学的気相成長法により、タンタルオキシナイトライド膜を形成した。このため、形成されたタンタルオキシナイトライド膜は、従来の酸化タンタル膜と同等の段差被覆性を有するので、蓄積ノードの急峻な段差部も十分に被覆する。

【0007】

【実施例】本発明の実施例を図1に示す概略構成断面図により説明する。図では、半導体記憶装置としてダイナミックRAM(以下DRAMと記す)11の3次元構造のキャパシタ12を示す。図に示すように、基板10の上面側には、複数のトランジスタ13、14とともにワード線15、16が形成され、さらにトランジスタ13、14およびワード線15、16を被覆する状態に層間絶縁膜17が形成されている。層間絶縁膜17には、トランジスタ13、14のソース・ドレイン拡散層18、19に接続するコンタクトホール20、21が形成されている。

【0008】上記コンタクトホール20、21の内部を含む層間絶縁膜17の上面には、キャパシタ12が形成されている。キャパシタ12は、上記コンタクトホール20、21を介してソース・ドレイン拡散層18、19

3

に接続する蓄積ノード31と、蓄積ノード31の表面に形成したタンタルオキシナイトライド（以下 $TaOxNy$ と記す。なお x は任意に設定され、 y は0.1 x ないし x の範囲で設定される）膜よりなる蓄積容量部32と、蓄積容量部32の表面に形成したプレート33とによりなる。上記蓄積ノード31とプレート33とはともにポリシリコン（以下 $poly-Si$ と記す）で形成される。

【0009】上記構成のキャパシタ12は、蓄積容量部32を $TaOxNy$ 膜で形成したことにより、膜中に窒素が含まれるので、従来のように酸化タンタル（ Ta_2O_5 ）膜で形成した蓄積容量部よりも誘電率が高くなる。このため、蓄積容量部32のリーク電流が低減される。

【0010】次に、蓄積容量部32を、 $TaOxNy$ 膜、 Ta_2O_5 膜または窒化シリコン（ Si_3N_4 ）膜と酸化シリコン（ SiO_2 ）膜とを積層してなる膜で形成した各場合について、キャパシタ12の耐圧評価を行った。評価方法は、まずシリコン基板の上面に薄い酸化膜を形成し、次いで薄い酸化膜の上面に50nmの厚さの蓄積容量部32を形成し、続いて蓄積容量部32の上面に $poly-Si$ 膜パターンを形成する。そして、各蓄積容量部のリーク電流が $10^{-6} A/cm^2$ になるときの薄い酸化膜の耐圧と薄い酸化膜の膜厚との関係を調べた。この結果を図2により説明する。図では、縦軸が薄い酸化膜の耐圧を示し、横軸が薄い酸化膜の膜厚を示す。図に示す如く、同じ厚さの薄い酸化膜では、 Ta_2O_5 膜の耐圧または Si_3N_4 膜と SiO_2 膜との積層膜の耐圧よりも $TaOxNy$ 膜の耐圧のほうが高くなる。したがって、 $TaOxNy$ 膜は、他の膜と比較してリーク電流が少ないことが確認された。

【0011】次いで、上記キャパシタ30の製造方法を図3に示す製造工程図により説明する。図3に示すように、通常の方法によって、基板11上に複数のトランジスタ13、14とともにワード線15、16を形成する。さらにトランジスタ13、14およびワード線15、16を被覆する状態に層間絶縁膜17を形成する。層間絶縁膜17には、トランジスタ13、14のソース、ドレイン拡散層18、19に接続するコンタクトホール20、21を形成する。上記のように形成したコンタクトホール20、21の内部を含む層間絶縁膜17上にキャパシタ12を形成する。

【0012】キャパシタを形成する第1の工程（1）では、まず化学的気相成長法によって、コンタクトホール20、21の内部を含む層間絶縁膜17の上面に第1の $poly-Si$ 膜34（例えば厚さが200nm）を形成する。次いで化学的気相成長法によって、第1の $poly-Si$ 膜34の上面に SiO_2 膜を堆積後、ホトリソグラフィとエッチングとによって、堆積した SiO_2 膜膜で SiO_2 パターン35を形成する。この SiO_2

4

パターン35をエッチングマスクにして、第1の $poly-Si$ 膜34（2点鎖線で示す部分）を除去する。

【0013】続いて第1の工程（2）では、化学的気相成長法によって、 SiO_2 パターン35を覆う状態に第2の $poly-Si$ 膜36を形成する。その後エッチバックして、第2の $poly-Si$ 膜36の1点鎖線で示す部分を除去する。次いで SiO_2 パターン35をエッチングにより除去する。上記の如くして、 $poly-Si$ 膜よりなる蓄積ノード31（梨地で示す部分）が形成される。

【0014】次いで第2の工程を行う。この工程では、化学的気相成長法によって、蓄積ノード31を覆う状態に $TaOxNy$ 膜37を厚さ50nmに形成する。この化学的気相成長法では、反応ガスとして、ジアルキルアミノタンタル $[Ta\{N(R)_2\}_3]$ の一種例えばジメチルアミノタンタル $[Ta\{N(CH_3)_2\}_3]$ を50sccm、メトキシタンタル $[Ta(OCH_3)_3]$ を300sccm、酸素 $[O_2]$ を300sccmの流量で化学的気相成長装置（図示せず）の反応室に供給して、反応室内を例えば133Paの反応ガス雰囲気にする。また基板11を載置するステージ（図示せず）の温度を例えば450℃に保持する。そして、化学的気相成長法により成膜する。

【0016】または、別の反応ガスとして、例えばジメチルアミノタンタル $[Ta\{N(CH_3)_2\}_3]$ を50sccm、メトキシタンタル $[Ta(OCH_3)_3]$ を200sccm、塩化タンタル $[TaCl_5]$ を100sccmの流量で反応室に供給して、反応室内を例えば133Paの反応ガス雰囲気に保持した後、化学的気相成長法を行ってもよい。この場合もステージ温度をおよそ450℃に保持して、成膜を行う。

【0016】その後第3の工程を行う。この工程では、化学的気相成長法によって、 $TaOxNy$ 膜37上に、第3の $poly-Si$ 膜38を、例えば厚さ200nmに形成する。その後、第3の $poly-Si$ 膜38をホトリソグラフィとエッチングとにより第3の $poly-Si$ 膜38の破線で示す部分を除去して、プレート33を形成する。

【0017】上記の如くに、キャパシタ12は、第3 $poly-Si$ 膜38よりなるプレート33と、プレート33に接続する $TaOxNy$ 膜37よりなる蓄積容量部32と、蓄積ノード31とにより形成される。

【0018】上記方法では、蓄積容量部32を化学的気相成長法による $TaOxNy$ 膜37で形成したので、反応ガスの $Ta\{N(R)_2\}_3$ の流量を制御することにより、 $TaOxNy$ 膜37に含有される窒素量を所定量に調整することができる。このため、窒素を十分に含んだ誘電率の高い $TaOxNy$ 膜37を形成することが可能になる。また金属有機化合物を用いた化学的気相成長法によって、 $TaOxNy$ 膜37を形成したので、 Ta

OxNy膜37は段差被覆性に優れた膜になる。

【0019】なお、上記各製造方法で用いたTa(NR)₂のRは、アルキル基を示し、例えばメチル基(CH₃)、エチル基(C₂H₅)またはプロピル基(C₃H₇)等よりなる。また上記各製造方法では、メトキシタンタル[Ta(OCH₃)₅]をもちいたが、例えばエトキシタンタル[Ta(OC₂H₅)₅]等のアルキルタンタルを用いることも可能である。

【0020】

【発明の効果】以上、説明したように本発明によれば、10 キャパシタの蓄積容量部を高誘電率を有するタンタルオキシナイトライド膜で形成したので、蓄積容量部の蓄積電荷の漏洩が減少して、リーク電流が少なくなる。よって、上記キャパシタを用いた半導体記憶装置は記憶性能が向上する。またタンタルオキシナイトライド膜を、表面マイグレーションの大きい有機金属系のジアルキルアミノタンタルを含む反応ガスを用いた化学的気相成長法

によって成膜した。このため、成膜したタンタルオキシナイトライド膜は、膜中に十分な量の窒素を含ませることができるので、リーク電流を十分に低下させることができる。また従来の酸化タンタル膜と同等の段差被覆性が得られる。

【図面の簡単な説明】

【図1】実施例のキャパシタの概略構成断面図である。

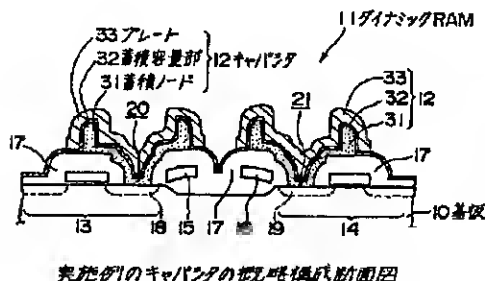
【図2】各種蓄積容量部に対する薄い酸化膜の耐圧と膜厚との関係図である。

【図3】実施例のキャパシタの製造工程図である。

【符号の説明】

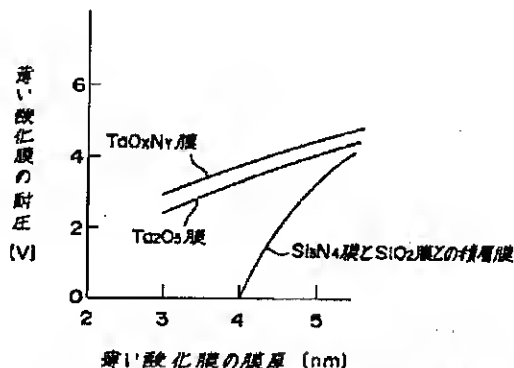
- 10 基板
- 11 ダイナミックRAM
- 12 キャパシタ
- 31 蓄積ノード
- 32 蓄積容量部
- 33 プレート

【図1】



実施例のキャパシタの概略構成断面図

【図2】



各種蓄積容量部に対する薄い酸化膜の耐圧と膜厚との関係図

【図3】

